

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-131882

(43)Date of publication of application : 09.05.2002

(51)Int.CI.

G03F 1/08

G03F 7/20

H01L 21/027

(21)Application number : 2000-327300

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.10.2000

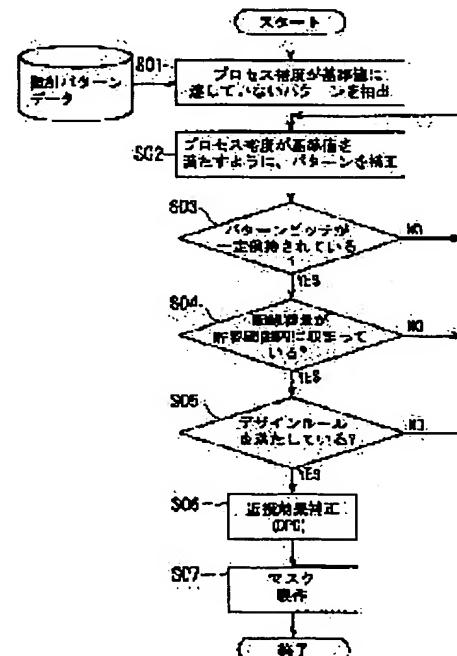
(72)Inventor : TAKAHATA KAZUHIRO
HASHIMOTO KOJI

(54) METHOD FOR CORRECTING MASK PATTERN, DEVICE FOR CORRECTING MASK PATTERN, RECORDING MEDIUM STORING MASK PATTERN CORRECTING PROGRAM, AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for correcting a mask pattern which forms a pattern that has high process likelihood and correction accuracy on a semiconductive wafer.

SOLUTION: The method is at least provided with the first step which extracts patterns of which process likelihood to the fluctuation of an exposure quantity and a focal distance does not reach a prescribed reference value from patterns of mask used in an optical exposure process of a semiconductive device designed according to prescribed design rules, and the second step which corrects the patterns to satisfy the process likelihood with the reference value. To the pattern, which is producible on the design rules, of which fluctuation quantity of the pattern dimension becomes bigger by the fluctuation of the exposure quantity and the focal distance in the optical exposure process, it can improve its process likelihood.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-131882

(P2002-131882A)

(43)公開日 平成14年5月9日(2002.5.9)

(51)Int.Cl.⁷
G 0 3 F 1/08
7/20
H 0 1 L 21/027

識別記号

5 2 1

F I
G 0 3 F 1/08
7/20
H 0 1 L 21/30

テマコト^{*}(参考)
A 2 H 0 9 5
5 2 1
5 0 2 P

審査請求 未請求 請求項の数9 O.L (全 12 頁)

(21)出願番号	特願2000-327300(P2000-327300)
(22)出願日	平成12年10月26日(2000.10.26)

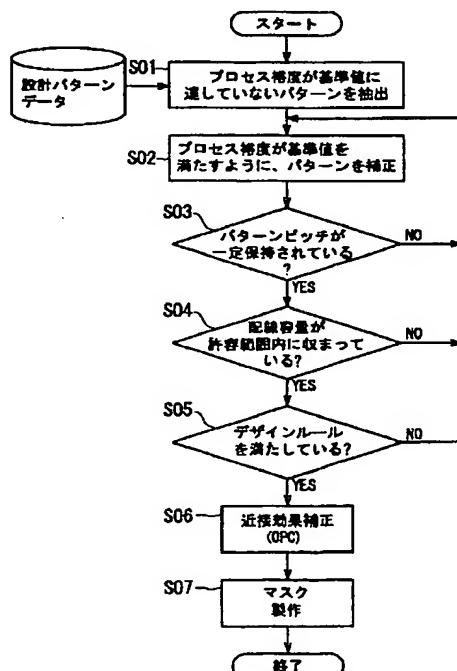
(71)出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72)発明者 高畠 和宏
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(72)発明者 橋本 耕治
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(74)代理人 100083806
弁理士 三好 秀和 (外7名)
Fターム(参考) 2H095 BA01 BB01 BB31

(54)【発明の名称】 マスクパターン補正方法、マスクパターン補正装置、マスクパターン補正プログラムを格納した記録媒体、及び半導体装置の製造方法

(57)【要約】

【課題】 半導体ウェハ上にプロセス裕度及び補正精度が高いパターンを形成するマスクパターン補正方法を提供する。

【解決手段】 所定のデザインルールに従って設計された、半導体装置の光露光工程において使用するマスクの設計パターンから、露光量と焦点距離の変動に対するプロセス裕度が所定の基準値に達していないパターンを抽出する第1ステップと、プロセス裕度が基準値を満たすようにパターンを補正する第2ステップとを少なくとも具備する。デザインルール上では製造可能であるが、光露光工程での露光量、焦点距離の変動によるパターン寸法の変動量が大きくなるパターンに対して、そのプロセス裕度を高めることができる。



1

【特許請求の範囲】

【請求項1】 所定のデザインルールに従って設計された、半導体装置の光露光工程において使用するマスクの設計パターンから、露光量と焦点距離の変動に対するプロセス裕度が所定の基準値に達していないパターンを抽出する第1ステップと、前記プロセス裕度が前記基準値を満たすように前記パターンを補正する第2ステップとを少なくとも具備することを特徴とするマスクパターン補正方法。

【請求項2】 補正の前後で前記パターンのパターンピッチが一定に保持されているか否かを判定する第3ステップをさらに具備することを特徴とする請求項1記載のマスクパターン補正方法。

【請求項3】 補正後の前記パターンが、前記デザインルールを満たしているか否かを判定する第4ステップをさらに具備することを特徴とする請求項1又は2記載のマスクパターン補正方法。

【請求項4】 前記第2ステップにおいて補正された前記パターンがラインパターンである場合、

前記第4ステップは、前記ラインパターンが、前記デザインルールに規定する最小ライン寸法及び最小スペース寸法以上のライン寸法及びスペース寸法を有するパターンであるか否かを判定するステップであることを特徴とする請求項3記載のマスクパターン補正方法。

【請求項5】 前記第2ステップにおいて補正された前記パターンが配線パターンである場合、

補正後の前記配線パターンのライン寸法が、配線容量の許容範囲内に収まっているか否かを判定する第5ステップをさらに有することを特徴とする請求項1乃至3いずれか1記載のマスクパターン補正方法。

【請求項6】 前記第1ステップは、前記設計パターンを用いて光露光工程のシミュレーションを行い、露光量と焦点距離の条件を振ったときの転写パターンを算出する第1作業と、

前記転写パターンを用いて、露光量と焦点距離を振ったときのパターン寸法の変動量を算出する第2作業と、

前記パターン寸法の変動量が基準値以上であるか否かを判定することにより、前記プロセス裕度を判定する第3作業とから構成されていることを特徴とする請求項1記載のマスクパターン補正方法。

【請求項7】 所定のデザインルールに従って設計された、半導体装置の光露光工程において使用するマスクの設計パターンから、露光量と焦点距離の変動に対するプロセス裕度が所定の基準値に達していないパターンを抽出するパターン抽出部と、前記プロセス裕度が前記基準値を満たすように前記パターンを補正するパターン補正部とを少なくとも具備することを特徴とするマスクパターン補正装置。

【請求項8】 所定のデザインルールに従って設計された、半導体装置の光露光工程において使用するマスクの

2

設計パターンから、露光量と焦点距離の変動に対するプロセス裕度が所定の基準値に達していないパターンを抽出する第1ステップと、

前記プロセス裕度が前記基準値を満たすように前記パターンを補正する第2ステップとを少なくとも具備することを特徴とするマスクパターン補正プログラムを格納した記録媒体。

【請求項9】 所定のデザインルールに従って、半導体装置の光露光工程において使用するマスクを設計する第1ステップと、

前記マスクの設計パターンから、露光量と焦点距離の変動に対するプロセス裕度が所定の基準値に達していないパターンを抽出する第2ステップと、

前記プロセス裕度が前記基準値を満たすように前記パターンを補正する第3ステップと、

補正後の設計パターンに対して近接効果補正を行う第4ステップと、

前記設計パターンに基づいてマスクを製作する第5ステップと、

前記マスクを用いた光露光工程を含む所定の半導体製造工程により、半導体ウェハを製造する第6ステップとを少なくとも具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の光露光工程で用いるマスクを補正するマスクパターン補正方法、マスクパターン補正装置、及びマスクパターン補正プログラムを格納した記録媒体、及びこのマスクを用いた光露光工程を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体集積回路において、設計／製造可能な最小の線幅を示すデザインルールは、微細加工技術の向上とともに縮小され、今や、サブクオーターミクロ（0.25 μm以下）の線幅（ゲート長など）をもつ素子を形成することができるようになった。設計者は、このデザインルールを満たす範囲でいかなるパターンを形成／配置することができ、高密度の集積回路を設計することができる。

【0003】しかし、デザインルールが縮小され、素子が微細化されたために、マスクパターンをウェハ上に光転写する際に生じる近接効果（O P E : Optical Proximity Effect）が素子特性に影響を与えるようになってしまった。例えば、デザインルールを満たすパターンであっても、パターン中の鋭利部分は転写されずに角が取れて丸くなり、或いはラインパターンの粗密分布によりライン幅が変化してしまう。素子の微細化により、素子の大きさに対する近接効果の割合が増え、素子特性に影響を及ぼしてしまう。

【0004】従来、このO P Eを補正する手法として、

様々な近接効果補正（O P C : Optical Proximity Correction）技術が提案されてきた。例えば、転写されないパターン部分に対して所定の補正（O P C）パターンを付与する近接効果補正を行うことで、O P Eによる影響を回避し、設計パターンとウェハ上の転写パターンとの誤差を減じていた。

【0005】

【発明が解決しようとする課題】しかし、近年の半導体素子の更なる微細化に伴い、デザインルールとパターン配置によっては、デザインルールを満たしていても配置されたパターンのプロセス裕度が基準値に対して小さい場合がある。

【0006】例えば、大口径のウェハの光露光（光リソグラフィ）工程において、ウェハ全面に対して露光量（ドーズ量）、焦点距離（フォーカス）を一定に保つことが困難になる。ウェハ中央と外周とでは、露光量及び焦点距離の誤差が多少なり存在する。露光量と焦点距離が変化すると、ウェハ上に転写されるパターンが設計パターンからずれてしまふ。

【0007】このように、デザインルールを満足しているパターン配置であっても、露光量と焦点距離の変動量に対するプロセス裕度が基準値を満たすことができない状況が発生することがある。その場合、プロセス裕度が基準値を満たすようにデザインルールを制限しなければならず、半導体装置の設計上大きな制約となっていた。

【0008】従来のO P C技術は半導体ウェハ上のパターンが設計デザイン寸法どおりになるようにマスク寸法を補正するものであり、設計されたデザインのプロセス裕度を増加させるものではない。従って、従来技術では、プロセス裕度が基準値に満たないパターンに対して補正することができない。

【0009】本発明はこのような従来技術の問題点を解決するために成されたものであり、その目的は、半導体ウェハ上にプロセス裕度及び補正精度が高いパターンを形成するマスクパターン補正方法、マスクパターン補正装置及びマスクパターン補正プログラムを格納した記録媒体を提供することである。

【0010】本発明の他の目的は、集積度が高い半導体チップを歩留り良く製造する半導体装置の製造方法を提供することである。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の特徴は、所定のデザインルールに従って設計された、半導体装置の光露光工程において使用するマスクの設計パターンから、露光量と焦点距離の変動に対するプロセス裕度が所定の基準値に達していないパターンを抽出する第1ステップと、プロセス裕度が基準値を満たすようにパターンを補正する第2ステップとを少なくとも具備するマスクパターン補正方法であることである。

10

20

30

40

50

【0012】ここで、デザインルールは、マスクパターンを設計するうえでの設計基準であり、光露光技術、エッチング加工技術などのいわゆる微細加工技術において、製造することができる最小のライン寸法、スペース寸法などを規定している。このデザインルール上では製造可能なパターンであっても、光露光工程における露光量或いは焦点距離などの変動により、実際にはパターン寸法が大きく変動してしまうパターンが存在する。この露光量或いは焦点距離などの変動によるパターン寸法の変動量が大きい場合、「プロセス裕度」が基準値に達していないと判断し、設計パターンに対して補正を施す。プロセス裕度の基準値は、デザインルール、微細加工精度、素子の電気特性などを勘案して定められる。

【0013】本発明の第1の特徴によれば、マスクの設計パターンに対して、プロセス裕度の補正を行うことができる。また、この補正の対象となるマスクの設計パターンは、デザインルールに従って作成されたものである。従って、デザインルールに対してプロセス裕度に関するルールを加えたり、或いはデザインルールを制限することなく、プロセス裕度が基準値に満たないパターンを補正することができる。また、プロセス裕度が基準値を常に満たすパターンを半導体ウェハ上に形成し、且つ補正精度の高いマスクパターンを形成することができる。

【0014】本発明の第1の特徴において、補正の前後で前記パターンのパターンピッチが一定に保持されているか否かを判定する第3ステップをさらに具備することが望ましい。パターンにプロセス裕度の補正を施することで、補正の前後でパターンピッチが変化する場合を考えられる。そこで、補正後のパターンに対して、パターンピッチの変化の有無を判定し、パターンピッチの変化がある場合に、該当するパターンに対して再度プロセス裕度の補正を施す。つまり、第3ステップにおいてデザインルールを満たしていないと判定された場合、第2ステップに戻り、プロセス裕度を満たし、且つパターンピッチが一定に保持されるまで繰り返し補正を行うことで、補正精度をより高めることができる。

【0015】本発明の第1の特徴において、補正後のパターンが、デザインルールを満たしているか否かを判定する第4ステップをさらに具備することが望ましい。パターンにプロセス裕度の補正を施することで、プロセス裕度は満たすがデザインルールを満たさなくなる場合を考えられる。そこで、補正後のパターンに対して、デザインルールに規定する最小ライン寸法及び最小スペース寸法を満たすか否かを判定し、デザインルール違反を発見した場合に、該当する設計パターンに対して再度プロセス裕度の補正を施す。つまり、第4ステップにおいてデザインルールを満たしていないと判定された場合、第2ステップに戻り、プロセス裕度及びデザインルールを同時に満たすまで繰り返し補正を行うことで、補正精度を

より高めることができる。なお、第4ステップは、第2ステップの後に行えばよく、第3ステップとの前後関係は特に問わない。

【0016】本発明の第1の特徴において、第2ステップにおいて補正されたパターンがラインパターンである場合、第4ステップは、ラインパターンが、デザインルールに規定する最小ライン寸法及び最小スペース寸法以上のライン寸法及びスペース寸法を有するパターンであるか否かを判定するステップであることが望ましい。さらに、第2ステップにおいて補正されたパターンが配線パターンである場合、補正後の配線パターンのライン寸法が、配線容量の許容範囲内に収まっているか否かを判定する第5ステップを有することが望ましい。配線パターンにプロセス裕度の補正を施すことで、プロセス裕度は満たすが配線容量が基準値より大きくなる場合を考えられる。そこで、補正後の配線パターンのライン寸法が、配線容量の許容範囲内におさまっているか否かを判定し、許容範囲を越えている場合には、該当する設計パターンに対して再度プロセス裕度の補正を施す。つまり、第5ステップにおいて配線容量が許容範囲内におさまっていないと判定された場合、第2ステップに戻り、プロセス裕度及び容量基準を同時に満たすまで繰り返し補正を行うことで、補正精度をより高めることができる。なお、第5ステップは、第2ステップの後に行えばよく、第3ステップ或いは第4ステップとの前後関係は特に問わない。

【0017】本発明の第1の特徴において、第1ステップは、(1) 設計パターンを用いて光露光工程のシミュレーションを行い、露光量と焦点距離の条件を振ったときの転写パターンを算出する第1作業と、(2) 転写パターンを用いて、露光量と焦点距離を振ったときのパターン寸法の変動量を算出する第2作業と、(3) パターン寸法の変動量が基準値以上であるか否かを判定することにより、プロセス裕度を判定する第3作業とから構成されていることが望ましい。

【0018】本発明の第1の特徴において、第2ステップの後に、補正された設計パターンがウェハ上に転写及び加工される際、所望パターン寸法または所望パターン形状が形成できなくなる場合に、所望パターン寸法または所望パターン形状を得るために補正された設計パターンを更に近接効果補正を施すことが望ましい。補正後の設計パターンに対して必要な近接効果補正を行うことで、より高精度なマスクパターン補正を行うことができるようになる。

【0019】また、補正対象のマスクは、配線パターンなどのライン系或いはコンタクトホール系であることが望ましい。ライン系の場合、ライン及びそれに隣接するスペースとの関係からプロセス裕度の判定を行うことができ、コンタクトホール系の場合、コンタクト径及び隣接するコンタクト間距離の関係からプロセス裕度の判定

10

20

30

40

50

を行うことができる。さらに、コンタクトホール系で作成された補正ルールが、コンタクトホールの各々の辺に独立して適用されることが望ましい。

【0020】本発明の第2の特徴は、所定のデザインルールに従って設計された、半導体装置の光露光工程において使用するマスクの設計パターンから、露光量と焦点距離の変動に対するプロセス裕度が所定の基準値に達していないパターンを抽出するパターン抽出部と、プロセス裕度が基準値を満たすようにパターンを補正するパターン補正部とを少なくとも具備するマスクパターン補正装置であることである。

【0021】本発明の第3の特徴は、所定のデザインルールに従って設計された、半導体装置の光露光工程において使用するマスクの設計パターンから、露光量と焦点距離の変動に対するプロセス裕度が所定の基準値に達していないパターンを抽出する第1ステップと、プロセス裕度が基準値を満たすようにパターンを補正する第2ステップとを少なくとも具備するマスクパターン補正プログラムを格納した記録媒体であることである。

【0022】本発明の第4の特徴は、(1) 所定のデザインルールに従って、半導体装置の光露光工程において使用するマスクを設計する第1ステップと、(2) マスクの設計パターンから、露光量と焦点距離の変動に対するプロセス裕度が所定の基準値に達していないパターンを抽出する第2ステップと、(3) プロセス裕度が基準値を満たすようにパターンを補正する第3ステップと、(4) 補正後の設計パターンに対して近接効果補正を行う第4ステップと、(5) 設計パターンに基づいてマスクを製作する第5ステップと、(6) マスクを用いた光露光工程を含む所定の半導体製造工程により、半導体ウェハを製造する第6ステップとを少なくとも具備する半導体装置の製造方法であることである。

【0023】本発明の第4の特徴によれば、デザインルールに制限をかけることなく、光露光工程での露光量或いは焦点距離の変動、近接効果に対する補正精度の高いマスクパターンを製作することができる。そして、このマスクを用いて半導体ウェハ上にパターンを転写して、半導体集積回路を製造することで、不良発生率が低い半導体ウェハを製造することができる。従って、生産効率(製造歩留り)の高い半導体装置の製造方法を提供することができる。

【0024】

【発明の実施の形態】(第1の実施の形態)以下図面を参照して、本発明の実施の形態を説明する。図1は、本発明の第1の実施の形態に係るマスクパターン補正装置の構成を示すブロック図である。本発明の第1の実施の形態に係るマスクパターン補正装置26は、マスクパターン補正処理に必要な設計パターンデータなどを格納したデータ記憶部1と、マスクパターン補正プログラムなどを格納したプログラム記憶部2と、一連のマスクバ

ーン補正処理を実行するための機能手段を備えた処理制御部3とから少なくとも構成されている。処理制御部3は、通常のコンピュータシステムの中央処理装置(CPU)の一部を構成している。データ記憶部1及びプログラム記憶部2はCPUの内部の主記憶装置で構成しても良く、このCPUに接続された半導体ROMや半導体RAMなどの半導体メモリ、或いは磁気ディスク装置などの記憶装置で構成してもよい。

【0025】処理制御部3は、露光量(ドーズ量)及び焦点距離(フォーカス)に対するプロセス裕度が、予め定められた所定の基準値に達していないパターンを設計パターンから抽出するパターン抽出部6と、抽出されたパターンをプロセス裕度が基準値を満たすように補正するパターン補正部7と、補正後のパターンピッチが補正前のパターンピッチに対して、一定に保持されているか否かをチェックするパターンピッチチェック部8と、補正後のパターンの配線容量が許容範囲内に収まっているか否かをチェックする配線容量チェック部9と、補正後のパターンがデザインルールを満たしているか否かをチェックするデザインルールチェック部10と、補正後の設計パターンの必要な部分に対して近接効果補正(OPTICAL PROCESSING CORRECTION: OPC)パターンを付して、近接効果補正を施す近接効果補正(OPC)部11とから少なくとも構成されている。これらのパターン抽出部6、パターン補正部7、パターンピッチチェック部8、配線容量チェック部9、デザインルールチェック部10、OPC部11は、それぞれ専用のハードウェアで構成しても良く、通常のコンピュータシステムのCPUを用いて、ソフトウェアで実質的に等価な機能を有する機能手段としてそれぞれを構成してもよい。

【0026】パターン抽出部6は、所定のデザインルールに従って設計された、半導体装置の光露光工程において使用するマスクの設計パターンから、露光量と焦点距離の変動に対するプロセス裕度が所定の基準値に達していないパターンを抽出する機能を有する。

【0027】また、パターン抽出部6は、(1) 設計パターンを用いて光露光工程のシミュレーションを行い、露光量と焦点距離の条件を振ったときの転写パターンを算出する手段と、(2) 転写パターンを用いて、露光量と焦点距離の条件を振ったときのパターン寸法の変動量を算出する手段と、(3) パターン寸法の変動量が基準値よりも大きいか否かを判定することにより、プロセス裕度を判定する手段とから構成されている。これらの機能手段は、それぞれ専用のハードウェアで構成しても良く、通常のコンピュータシステムのCPUを用いて、ソフトウェアで実質的に等価な機能を有する機能手段としてそれを構成してもよい。

【0028】処理制御部3には、入出力制御部25を介して、操作者からのデータや命令などの入力を受け付ける入力装置4及びパターン補正結果を出力する出力装置

10 20 30 40 50

5がそれぞれ接続されている。入力装置4はキーボード、マウス、ライトペンまたはフロッピー(登録商標)ディスク装置などで構成されている。また出力装置5はディスプレイ装置やプリンタ装置などにより構成されている。

【0029】マスクパターン補正装置26には、マスクパターン設計装置12が接続されている。マスクパターン設計装置12は、半導体装置の光露光工程において使用するマスクを設計する機能を有する。設計パターンデータは、マスクパターン補正装置26に送信され、データ記憶部1に格納される。

【0030】図1に示した処理制御部3で実行される各処理の入力データは、データ記憶部1に格納され、プログラム命令はプログラム記憶部2に格納される。そしてこれらのデータ及びプログラム命令は必要に応じてCPUに読み込まれ、CPUの内部の処理制御部3によって、制御処理が実行されるとともに、各工程で発生した数値情報などのデータはRAMや磁気ディスクなどのデータ記憶部1に格納される。

【0031】次に、図2乃至図4を参照して、処理制御部3で実行されるマスクパターン補正の処理手順を説明する。ここで重要なことは以下に示すとおりである。即ち、従来技術では設計パターンを変更することなく、マスクパターンがウェハ上に転写されない場合にOPCなどの手法でマスクパターンを補正していた。これに対して、本発明は設計パターンからプロセス裕度が基準値を満たしていないパターンを抽出し、抽出されたパターンのプロセス裕度が基準値を満たすように設計パターンを補正し、補正された設計パターンがウェハ上に転写されない場合は、OPCなどの手法でさらにマスクパターンを補正する。

【0032】図2は、本発明の第1の実施の形態に係るマスクパターン補正方法の全体構成を示すフローチャートである。なお、第1の実施の形態においては、ラインとスペースとから構成される配線パターンについてそのラインとそれに隣接するスペースとの関係に着目する。そして、ラインとスペースの関係から得られるプロセス裕度が基準値を満たさない配線パターンを抽出して、抽出された配線パターンのプロセス裕度が基準値を満たすように補正する方法について述べる。

【0033】(イ)まず、ステップS01において、マスクの設計パターンをCPU内に読み込み、ラインとスペースの関係から得られるプロセス裕度が基準値に達していない配線パターンを設計パターンから抽出する。デザインルール上では製造可能な配線パターンであっても、光露光工程における露光量或いは焦点距離などの変動により、実際にはパターン寸法が大きく変動してしまう配線パターンが存在する。この露光量或いは焦点距離などの変動によるパターン寸法の変動量が大きい配線パターンは、プロセス裕度が基準値に達していない配線バ

ターンであると判断され、設計パターンから抽出される。ここで、ステップS01は、ステップS011乃至S016から構成される。図3は、ステップS01の詳細な構成を示すフローチャートである。

【0034】まず、ステップS011において、設計パターンから、任意の配線パターンを選び出す。選出する配線パターンの数は、単数であっても構わないが、複数であることが望ましい。図4(a)は、ステップS011において選出された3つの配線パターン(13~15)の一例を示す。選出された配線パターン(13~15)のライン寸法(L1, L2, L3)及びスペース寸法(S1, S2)が設計パターンデータから読み出される。

【0035】次に、ステップS012において、露光量及び焦点距離の条件を振って、露光工程のシミュレーションを行う。図4(b)は、図4(a)に示した配線パターン(13~15)のシミュレーション結果(転写パターン)を示す。実線は、図4(a)に示した設計パターンを示す。破線は、露光量及び焦点距離の条件を所定範囲内で振ったときの最大ライン寸法及び最小ライン寸法の転写パターンを示す。ここでいう所定範囲とは、実際の光露光工程において想定しうる露光量及び焦点距離の変動範囲であることが望ましい。

【0036】次に、ステップS013において、各配線パターン(13~15)について、最大ライン寸法と最小ライン寸法の間隔(パターン寸法の変動量)16を算出する。図4(b)に示すように、配線パターン13の変動量16に比して、配線パターン14及び配線パターン15の変動量16が大きい。

【0037】次に、ステップS014において、各配線パターン(13~15)について、変動量16が基準値以上であるか否かを判定する。変動量16が基準値以上である場合(ステップS014においてYES)、ステップS015へ進み、プロセス裕度が基準値に達していない配線パターン(プロセス裕度未達パターン)であると判断され、設計パターンから抽出される。変動幅16が基準値よりも小さい場合(ステップS014においてNO)、ステップS015を飛ばしてステップS016へ進む。つまり、プロセス裕度が基準値を満たしている配線パターンであると判断され、プロセス裕度の補正対象から外される。なおここでは、図4(b)に示した配線パターン13の変動量は基準値よりも小さいと判断され、パターン14及びパターン15の変動量16は基準値以上であると判断されるものとする。

【0038】次に、ステップS016において、設計パターンの中でまだパターン選出(S011)されていない配線パターンがあるか否かを判定する。設計パターン中の総ての配線パターンがすでに選出されている場合(ステップS016においてYES)、ステップS02へ進む。設計パターン中の総ての配線パターンがまだ選

10

10

出されていない場合(ステップS016においてNO)、ステップS011へもどり、まだ選出されていない配線パターンに対して上記ステップを行う。そして、設計パターン中の総ての配線パターンが選出されるまで、このループを繰り返す。

【0039】(口) 次に、ステップS02において、プロセス裕度未達パターンとして抽出された配線パターンに対して、プロセス裕度が基準値を満たすように補正を施す。変動量16が基準値以上である配線パターン14及び配線パターン15に対して、変動量16が基準値よりも小さくなるように、図4(c)に示すように、ライン寸法及びスペース寸法を補正する。例えば、配線パターン14のライン寸法をL2からL2'まで広げ、配線パターン13とのスペース寸法をS1からS1'まで狭める。配線パターン15に対しても同様に、ライン寸法及びスペース寸法を補正する。なお、変動量16が基準値よりも小さくなるように補正するには、露光工程のシミュレーションとパターン補正作業とを連動させ、変動量16が基準値よりも小さくなるまでシミュレーションと補正作業を繰り返し行えばよい。

【0040】(ハ) 次に、ステップS03において、補正の前後でパターンピッチが一定に保たれているか否かをチェックする。補正前後において、パターン寸法とスペース寸法はそれぞれ変化するが、パターンピッチは変化していないことが望ましい。しかし、補正の仕方によっては、パターンピッチまで変化してしまう場合を考えられる。そこで、パターンに補正を施した後に、パターンピッチのチェックを行ひ、補正前後でパターンピッチを一定に保持する。

【0041】図4(c)において、配線パターン14の補正後のライン寸法L2'、及び配線パターン15の補正後のライン寸法L3'は、補正前のライン寸法L2及びライン寸法L3よりもそれぞれ広がっている。しかし、補正前のスペース寸法S1及びS2を、補正後のスペース寸法S1'及びS2'までそれぞれ狭めている。従って、補正の前後で、3つの配線パターン(13~15)のパターンピッチは一定に保持されている。

【0042】補正前後でパターンピッチが一定保持されている場合(ステップS03においてYES)、ステップS04へ進み、パターンピッチが一定に保持されていない場合(ステップS03においてNO)、ステップS02戻り、パターンピッチが一定に保たれるように再度パターン補正を行う。

【0043】(二) 次に、ステップS04において、補正後の配線パターンの配線容量が許容範囲内に収まっているか否かを判定する。通常、配線パターンの設計において、上下の配線層間で生じる寄生容量(配線容量)について許容範囲が設けられている。配線容量がこの許容範囲を越えている場合、動作速度低下、信号遅延などの不具合を発生する惧れがある。また、配線パターンのプ

50

ロセス裕度を補正する場合、ライン寸法を広げることでこの許容範囲を越えてしまうことが考えられる。従って、プロセス裕度の補正を行った後に、配線容量が許容範囲内に収まっているか否かを判定する。補正後の配線パターン（13～15）の配線容量が許容範囲内に収まっている場合（ステップS04においてYES）、ステップS05へ進む。補正後の配線パターン（13～15）の配線容量が許容範囲内に収まっていない場合（ステップS04においてNO）、ステップS02に戻り、配線容量が許容範囲内に収まるように再度パターン補正¹⁰を行う。

【0044】（ホ）次に、ステップS05において、補正後の配線パターンがデザインルールを満たしているか否かを判定する。即ち、補正後の配線パターンのライン寸法及びスペース寸法がデザインルールで規定する最小ライン寸法及び最小スペース寸法以上であるか否かを判定する。パターンピッチ或いは配線容量と同様に、プロセス裕度の補正により、補正後の配線パターンがデザインルールに違反する場合が考えられる。従って、プロセス裕度の補正を行った後に、デザインルールチェックを行なう。補正後の配線パターンがデザインルールを満たしている場合（ステップS05においてYES）、ステップS06へ進む。補正後の配線パターンがデザインルールを満たしていない場合（ステップS05においてNO）、ステップS02に戻り、デザインルールを満たすように再度パターン補正を行う。

【0045】（ヘ）次に、ステップS06において、補正後の配線パターンの必要な箇所に対して、OPCパターンを付与して、近接効果補正（OPC）を行う。

【0046】（ト）最後に、ステップS07において、³⁰ 設計パターンデータに基づいてマスクを製作する。

【0047】本発明の第1の実施の形態に係るマスクパターン補正方法を実現するためのプログラムは、コンピュータ読み取り可能な記録媒体に格納することができる。この記録媒体は、図1に示したプログラム記憶部2として用いる、あるいはプログラム記憶部2に読み込まれ、このプログラムにより処理制御部3における種々の作業を所定の処理手順に従って実行することができる。ここで、記録媒体には、例えばROM、RAM等の半導体メモリ、磁気ディスク、光ディスク、磁気テープ等のプログラムを記録することできる記録媒体が含まれる。

【0048】図6は、これらの記録媒体に格納されたプログラムを読み取り、そこに記述された手順に従って、マスクパターン補正プログラムを実現するコンピュータシステムからなるマスクパターン補正装置90の一例を示す外観図である。このマスクパターン補正装置90の本体前面には、フロッピーディスクドライブ91、及びCD-ROMドライブ92が設けられており、磁気ディスクとしてのフロッピーディスク93または光ディスクとしてのCD-ROM94を各ドライブ入り口から挿入⁴⁰

し、所定の読み出し操作を行うことにより、これらの記録媒体に格納されたプログラムをシステム内にインストールすることができる。また、所定のドライブ装置97を接続することにより、例えばゲームパックなどに使用されている半導体メモリとしてのROM95や、磁気テープとしてのカセットテープ96を用いることもできる。また、マスクパターン補正装置90の本体背面に接してマスクパターン設計装置12が接続され、マスク設計が行われるその場で設計パターンデータに対してプロセス裕度の補正を施すことができる。

【0049】本発明の第1の実施の形態によれば、設計パターンが配線パターンである場合において、設計パターンからプロセス裕度が基準値に達していない配線パターンを抽出してプロセス裕度の補正を施すことができる。従って、プロセス裕度が基準値を常に満たす配線パターンのマスクに形成することができる。また、プロセス裕度と同時に、配線容量、パターンピッチ、デザインルールなどのチェック、及びOPC補正を行うことで、補正精度の高いマスクパターンを形成することができる。また、デザインルールに対してプロセス裕度に関するルールを加えたり、或いはデザインルールを制限することなく、プロセス裕度が基準値に満たないパターンを補正することができる。

【0050】（第2の実施の形態）第1の実施の形態では、補正対象のパターンがラインとスペースから構成される配線パターン（ラインパターン）である場合について説明した。しかし、本発明は、これに限定されるわけではなく、コンタクトホール、ゲート電極などラインパターン以外の任意レイヤのパターンに対しても適用することができる。第2の実施の形態では、コンタクトホールパターンを例に取り、マスクパターン補正方法を説明する。また、第2の実施の形態では、コンタクトホールパターンと隣接するコンタクトホールパターン間のスペースとの関係に着目し、そのコンタクトホールパターンのプロセス裕度が基準値を満たさないパターン配置を抽出して、それがプロセス裕度を満たすように補正する方法を述べる。

【0051】（イ）まず、設計パターンから、任意のコンタクトホールパターンを選び出す。図5（a）は、設計パターンから任意に選び出されたコンタクトホールパターンを示すレイアウト図である。コンタクトホール17を中心として、上下左右にそれぞれ1つづつ所定の間隔を置いて別のコンタクトホール（18、20～22）が配置されている。ここで、上下方向に配列されたコンタクトホール（17、18、20）のパターン寸法をそれぞれHV1、HV2、HV3とし、コンタクトホール17と18間のスペース寸法をDV1、コンタクトホール17と20間のスペース寸法をDV2とする。

【0052】（ロ）次に、露光量及び焦点距離の条件を振って、露光工程のシミュレーションを行う。図5

13

(b) は、図5 (a) に示したコンタクトホールパターンのシミュレーション結果(転写パターン)を示す。実線は、図5 (a) に示した設計パターンを示す。破線は、露光量及び焦点距離の条件を所定範囲内で振ったときの最大パターン寸法及び最小パターン寸法の転写パターンを示す。

【0053】(ハ) 次に、各コンタクトホールパターンについて、最大パターン寸法と最小パターン寸法間の変動量¹⁰23を算出する。図5 (b) に示すように、コンタクトホール17、18、20の上下方向の変動量23は、その他のコンタクトホールの変動量23及びその他の方向の変動量23に比して大きい。

【0054】(二) 次に、各コンタクトホールパターンについて、変動量23が基準値以上であるか否かを判定する。ここでは、コンタクトホール17、18、20の上下方向の変動量23が基準値以上であり、その他の部分の変動量23は基準値よりも小さいものとする。従って、コンタクトホール17、18、20が、プロセス裕度が基準値に達していないパターン(プロセス裕度未達パターン)であると判断され、設計パターンから抽出される。

【0055】(ホ) 次に、変動量23が基準値以上であるコンタクトホールパターン17、18、20に対して、変動量23が基準値よりも小さくなるように補正する。但し、変動量が基準値以上であるコンタクトホールパターン17、18、20の上下方向のパターン寸法に対して補正を加える。具体的には、図5 (c) に示すように、上下方向のパターン寸法HV1、HV2、HV3をそれぞれHV1'、HV2'、HV3'へ広げ、スペース寸法DV1、DV2をそれぞれDV1'、DV2'へ狭める。また、コンタクトホールパターン17、18、20の左右方向のパターン寸法及びコンタクトホールパターン21、22の上下左右方向のパターン寸法に対して補正を加えない。なお、上記補正を行う際、作成された補正ルールはコンタクトホールパターンの各辺に對して独立して適用されるものとする。

【0056】(ヘ) 次に、補正の前後でパターンピッチが一定に保たれているか否か、補正後の配線パターンがデザインルールを満たしているか否か、などの第1の実施の形態で示した各種のルールチェックを行う。但し、コンタクトホールパターンに対しては、配線容量のルールチェックを省略しても構わない。図5 (c) に示した補正後のコンタクトホールパターンは、パターン寸法HV1'、HV2'、HV3'が広げられた分だけ、スペース寸法DV1'、DV2'が狭められているため、補正前後のパターンピッチは一定保持されている。また、補正後のスペース寸法DV1'、DV2'は、デザインルールで規定する最小スペース寸法以上であるため、デザインルールを満足している。次に、補正後のコンタクトホールパターンの必要な箇所に対して、OPCパター

50

14

ンを付与して、近接効果補正(OPC)を行う。最後に、設計パターンデータに基づいてマスクを製作する。

【0057】本発明の第2の実施の形態によれば、設計パターンがコンタクトホールパターンである場合においても、第1の実施の形態で示した配線パターンの場合と同様な作用効果を得ることができる。

【0058】以上説明したように、本発明に係るマスクパターン補正を行うことで、配線パターン、コンタクトホールパターンなどのマスクパターンのプロセス裕度を高めることができる。補正対象となるマスクは、配線パターン或いはコンタクトホールパターンに限らず、素子領域パターン、ソース、ドレイン、ゲートなどのトランジスタの各電極パターンなどのマスクパターンに対しても可能である。このマスクパターン補正を、半導体装置の製造工程において使用するマスクに対して施すことで、補正精度の高い半導体装置の製造を行うことができる。半導体装置の製造方法については、第3の実施の形態において説明する。

【0059】(第3の実施の形態) 本発明の第3の実施の形態においては、第1及び第2の実施の形態で示したマスクパターンの補正方法を用いた半導体装置の製造方法について説明する。図7は、本発明の第3の実施の形態に係る半導体装置の製造方法を示すフローチャートである。

【0060】まず、ステップS21において、製造する半導体装置の目的や作用効果のためにどのような機能が必要であるかを明らかにし、その機能を生み出すためのロジック・メモリ、出入力回路などの各部の機能と互いのつながりを設計する、いわゆる機能設計を行う。次に、ステップS22において、各部機能及び相互関係から具体的な電子回路を設計する、いわゆる論理/回路設計を行う。

【0061】次に、ステップS23において、電子回路を半導体チップ上にどのように配置するかレイアウト設計を行い、半導体ウェハの一連の製造工程で使用する複数のレイヤのマスクパターンを設計する。このレイアウト/マスクパターン設計により作成された設計パターンデータは、第1の実施の形態で示したマスクパターン補正装置26へ送られ、第1或いは第2の実施の形態で説明したマスクパターンの補正方法によりプロセス裕度の補正などが行われる。

【0062】具体的には、ステップS24において、設計パターンからプロセス裕度が基準値に達していないプロセス裕度未達パターンを抽出する。ステップS25において、プロセス裕度未達パターンに対して、プロセス裕度が基準値を満たすように補正を加える。ステップS26において、補正前後でパターンピッチが一定保持されているか否か、補正後の配線パターンの配線容量が許容範囲内に収まっているか否か、或いは補正後のパターンがデザインルールを満たしているか否か、などの各種

のルールチェックを行う。設計パターンが各種のルールを満たしていることを確認した後、ステップS27において、補正後のパターンの必要な箇所に対して、O P Cパターンを付与して近接効果補正(O P C)を行う。

【0063】次に、ステップS28において、プロセス裕度の補正が加えられた設計パターンデータに基づいてマスクを製作する。ステップS29において、このマスクを用いた光露光工程、半導体基板に対する絶縁膜・半導体膜・金属膜などの成膜工程、エッチング工程などを繰り返し行う一連のウェハ工程(前工程)により、半導体ウェハ上に複数の半導体集積回路を一括形成する。ステップS30において、ダイシング工程、ボンディング工程、検査工程などから成る後工程(パッケージング工程)を経て、第3の実施の形態に係る半導体装置を製造方法は終了する。

【0064】以上説明したように本発明の第3の実施の形態によれば、デザインルールに制限をかけることなく、光露光工程での露光量或いは焦点距離の変動、近接効果に対する補正精度の高いマスクパターンを製作することができる。そして、このマスクを用いて半導体ウェハ上にパターンを転写して、半導体集積回路を形成することで、不良発生率が低い半導体ウェハを製造することができる。

【0065】

【発明の効果】以上説明したように本発明によれば、半導体ウェハ上にプロセス裕度及び補正精度が高いパターンを形成するマスクパターン補正方法、マスクパターン補正装置及びマスクパターン補正プログラムを格納した記録媒体を提供することができる。

【0066】また本発明によれば、集積度が高い半導体チップを歩留り良く製造する半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るマスクパターン補正装置の構成を示すブロック図である。

【図2】本発明の実施の形態に係るマスクパターン補正方法の全体構成を示すフローチャートである。

【図3】図2に示したステップS01の詳細な構成を示すフローチャートである。

【図4】図4(a)は本発明の第1の実施の形態に係る

配線パターンの補正前の状態を示すレイアウト図である。図4(b)は、図4(a)に示した配線パターンに対して露光量及び焦点距離の条件を振ったときの最大ライン寸法及び最小ライン寸法の転写パターンを示すレイアウト図である。図4(c)は、図4(a)に示した配線パターンの補正後の状態を示すレイアウト図である。

【図5】図5(a)は本発明の第2の実施の形態に係るコンタクトホールパターンの補正前の状態を示すレイアウト図である。図5(b)は、図5(a)に示したコンタクトホールパターンに対して露光量及び焦点距離の条件を振ったときの最大パターン寸法及び最小パターン寸法の転写パターンを示すレイアウト図である。図5(c)は、図5(a)に示した配線パターンの補正後の状態を示すレイアウト図である。

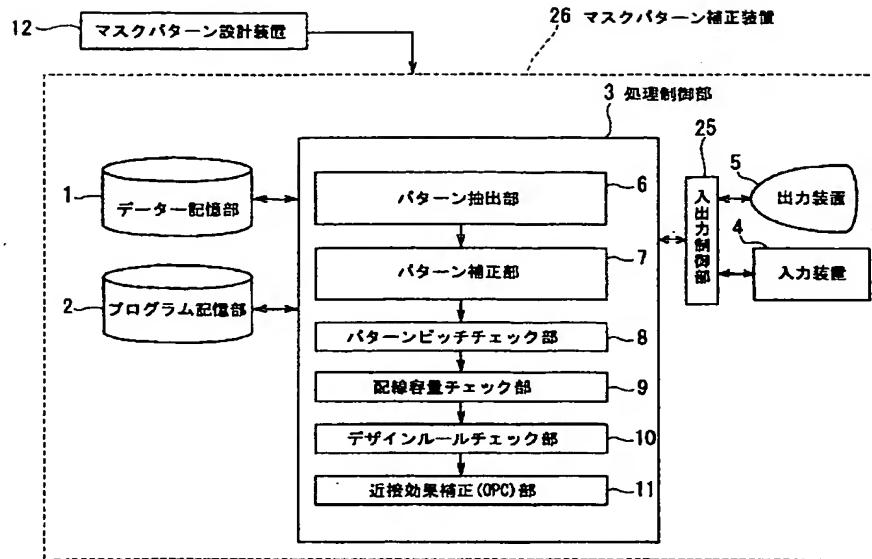
【図6】記録媒体に格納されたマスクパターン補正プログラムを読み取り、そこに記述された手順に従って、マスクパターン補正システムを実現するコンピュータシステムからなるマスクパターン補正装置の一例を示す外観図である。

【図7】本発明の第3の実施の形態に係る半導体装置の製造方法を示すフローチャートである。

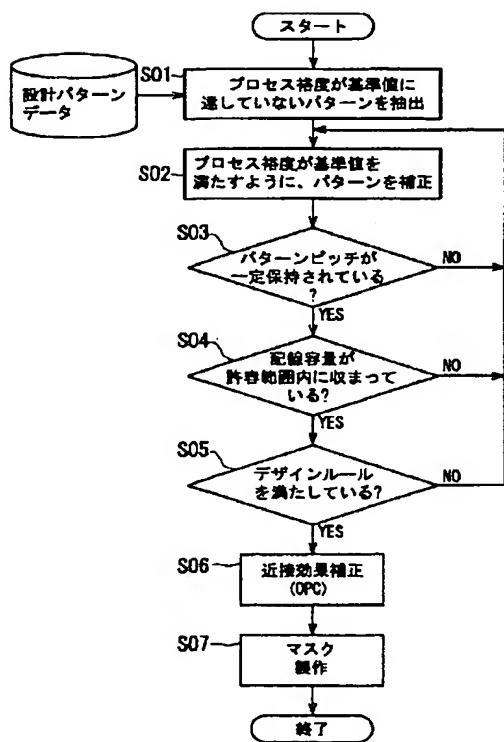
【符号の説明】

- 1 データ記憶部
- 2 プログラム記憶部
- 3 処理制御部
- 4 入力装置
- 5 出力装置
- 6 パターン抽出部
- 7 パターン補正部
- 8 パターンピッチチェック部
- 9 配線容量チェック部
- 10 デザインルールチェック部
- 11 近接効果補正(O P C)部
- 12 マスクパターン設計装置
- 25 入出力制御部
- 26 マスクパターン補正装置
- 13、14、15 配線パターン
- 16、23 変動量
- 17、18、20、21、22 コンタクトホールパターン

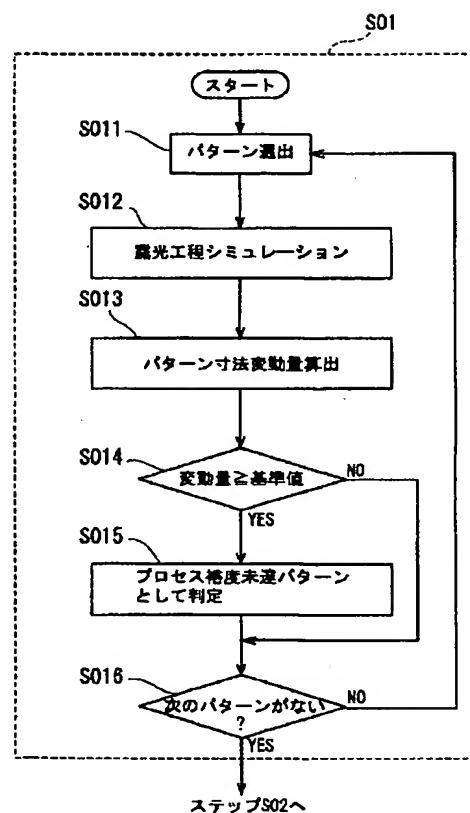
【図1】



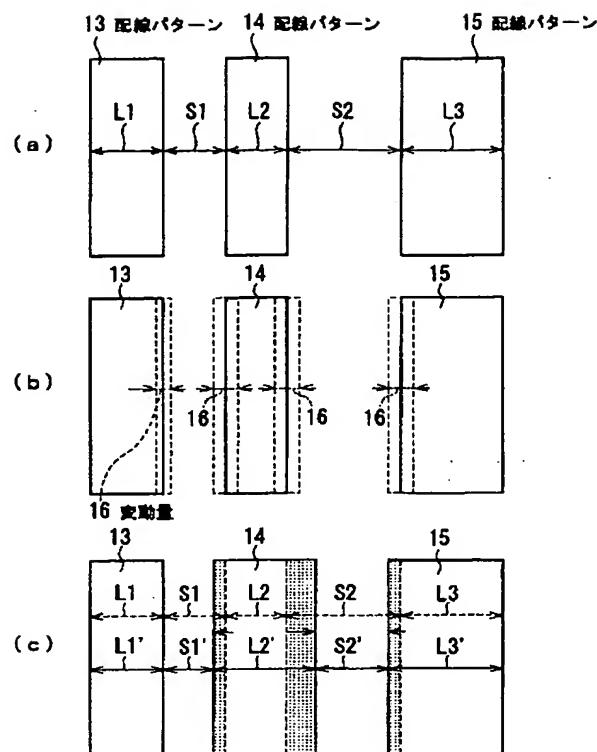
【図2】



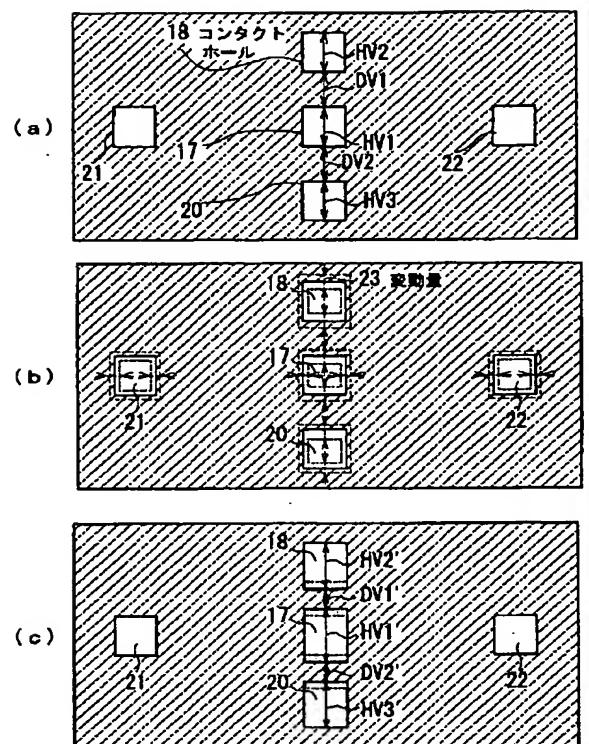
【図3】



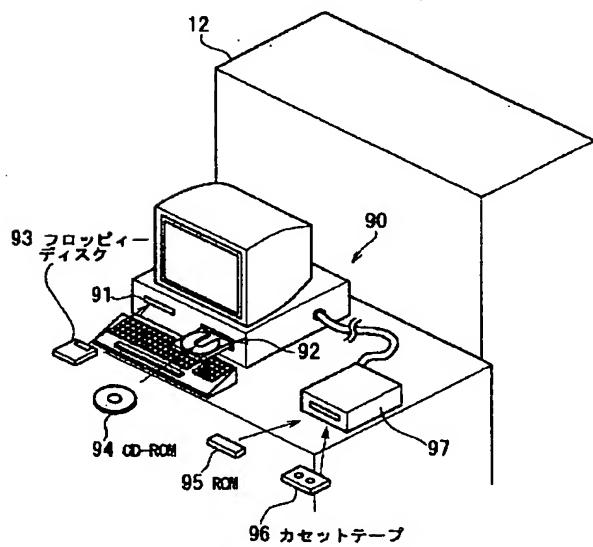
【図4】



【図5】



【図6】



【図7】

